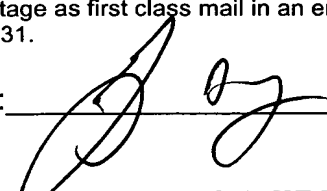


#2 | Priority
Paper
3-27-02
Ristko

Docket No.: WMP-SME-519

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Assistant Commissioner for Patents, Washington, D.C. 20231.

By:  Date: January 23, 2002

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Jenoe Tihanyi
Appl. No. : 10/033,122
Filed : October 22, 2001
Title : Vertical Field-Effect Transistor with Compensation Zones and
Terminals at One Side of a Semiconductor Body

CLAIM FOR PRIORITY


Hon. Commissioner of Patents and Trademarks,
Washington, D.C. 20231

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 100 52 004.9 filed October 20, 2000.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,



GREGORY L. MAYBACK
REG NO. 40,719

Date: January 23, 2002

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/mjb

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 100 52 004.9

Anmeldetag: 20. Oktober 2000

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Vertikaler Feldeffekttransistor mit Kompensationszonen und Anschlüssen an einer Seite eines Halbleiterkörpers

IPC: H 01 L 29/06

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 23. Oktober 2001
Deutsches Patent- und Markenamt
Der Präsident
im Auftrag

Agurks

WESTPHAL, MUSSGNUG & PARTNER
Patentanwälte · European Patent Attorneys

Sme519

Infineon Technologies AG
St.-Martin-Straße 53

81669 München

- Patentanmeldung -

Vertikaler Feldeffekttransistor mit Kompensationszonen und
Anschlüssen an einer Seite eines Halbleiterkörpers

Beschreibung

Vertikaler Feldeffekttransistor mit Kompensationszonen und Anschlüssen an einer Seite eines Halbleiterkörpers

5

Die vorliegende Erfindung betrifft ein mittels Feldeffekt steuerbares Halbleiterbauelement, insbesondere einen Feldeffekttransistor, gemäß den Merkmalen des Oberbegriffs des Anspruchs 1.

10

Aus der DE 196 04 043 A1 ist ein vertikaler MOSFET bekannt, der ein stark n-dotiertes Substrat mit einer darüberliegenden schwächer n-dotierten Epitaxieschicht aufweist. In diese Epitaxieschicht sind p-dotierte Kanalzonen eingebracht, in welche wiederum stark n-dotierte Source-Zonen eingebettet sind, die an einer Oberfläche des Halbleiterkörpers kontaktierbar sind. Gate-Elektroden ermöglichen die Ausbildung eines leitenden Kanals in der Kanalzone zwischen der Source-Zone und einer Drift-Zone, die in der Epitaxieschicht zwischen der Kanalzone und dem Substrat ausgebildet ist. In der Epitaxieschicht sind weiterhin p-dotierte erste Kompensationszonen und n-dotierte zweite Kompensationszonen ausgebildet, woraus zum einen ein niedriger Einschaltwiderstand des MOSFET bei angesteuerter Gate-Elektrode und bei nicht angesteuerter Gate-Elektrode eine hohe Sperrspannung, bzw. Durchbruchspannung, resultiert. Bei angesteuerter Gate-Elektrode ermöglichen die n-dotierten Bereiche in der Epitaxieschicht einen Ladungstransport zwischen der Source-Zone und dem stark n-dotierten Substrat, welches die Drain-Zone bildet. Bei nicht angesteuerter Gate-Elektrode und Anlegen einer Drain-Source-Spannung bildet sich ausgehend von der Source-Zone, bzw. der Kanalzone, eine Raumladungszone aus, welche bewirkt, dass freie Ladungsträger der ersten und zweiten Kompensationszonen miteinander rekombinieren, wodurch die Anzahl der freien Ladungsträger in der Epitaxieschicht erheblich reduziert wird, und woraus eine hohe Durchbruchspannung resultiert.

15

20

25

30

35

Das Substrat bildet bei dem bekannten Vertikal-MOSFET die Drain-Zone, welche von einer Rückseite des Halbleiterkörpers, also der Seite, welche der Seite des Source-Anschlusses gegenüber liegt, kontaktierbar ist.

5

Eine derartige Anordnung des Source-Anschlusses und des Drain-Anschlusses an gegenüberliegenden Seiten des Halbleiterkörpers ist für solche Anwendungen nachteilig, bei welchen auf die Vorderseite des Halbleiterkörpers, bzw. eines Chips, in dem der MOSFET untergebracht ist, ein weiterer Chip aufgebracht wird, dessen Anschlüsse mit dem Source-Anschluss und dem Drain-Anschluss des MOSFET verbunden werden müssen. In dem zweiten Chip kann beispielsweise eine Diode realisiert sein, welche bei bestimmten Anwendungen zwischen den Source-Anschluss und den Drain-Anschluss eines MOSFET geschaltet wird.

Ziel der vorliegenden Erfindung ist es, ein mittels Feldefekt steuerbares Halbleiterbauelement mit geringem Einschaltwiderstand, hoher Stromfestigkeit und hoher Durchbruchsspannung zur Verfügung zu stellen, bei welchem ein erster und zweiter Lastanschluss an einer Seite des Halbleiterkörpers kontaktierbar sind.

25 Dieses Ziel wird durch ein Halbleiterbauelement gemäß dem Merkmalen des Patentanspruchs 1 gelöst.

Danach weist das erfindungsgemäße Halbleiterbauelement einen Halbleiterkörper mit einer ersten Schicht eines ersten Leitungstyps und einer darüber liegenden zweiten Schicht des ersten Leitungstyps auf, wobei die erste Schicht vorzugsweise stärker als die zweite Schicht dotiert ist. In der zweiten Schicht ist wenigstens eine erste Anschlusszone ausgebildet, die an einer ersten Oberfläche des Halbleiterkörpers kontaktierbar ist, wobei die wenigstens eine erste Anschlusszone innerhalb der zweiten Schicht von einer Kanalzone eines zweiten Leitungstyps umgeben ist. In der zweiten Schicht sind

ferner Kompensationszonen des zweiten Leitungstyps ausgebildet. Erfindungsgemäß ist in der zweiten Schicht eine zweite Anschlusszone des ersten Leistungstyps ausgebildet, die an der ersten Oberfläche des Halbleiterkörpers kontaktierbar ist, wobei die zweite Anschlusszone in lateraler Richtung des Halbleiterkörpers beabstandet zu der wenigstens einen ersten Anschlusszone ausgebildet ist.

Die erste Anschlusszone bildet bei einem MOS-Transistor dessen Source-Zone, die zweite Anschlusszone bildet dessen Drain-Zone und eine benachbart zu der Kanalzone angeordnete, gegenüber dem Halbleiterkörper isolierte Steuerelektrode bildet die Gate-Elektrode des Transistors.

Die zweite Anschlusszone ist vorzugsweise mittels einer gut elektrisch leitenden Verbindungszone, welche sich in vertikaler Richtung in oder entlang der zweiten Schicht erstreckt, mit der ersten Schicht verbunden, die vorzugsweise stärker als die zweite Schicht dotiert ist, und damit besser leitet.

Bei Anlegen eines Ansteuerpotentials an die Steuerelektrode und Anlegen einer Spannung zwischen der ersten und zweiten Anschlusszone kommt es bei dem erfindungsgemäßen Halbleiterbauelement zu einem Ladungsstrom, welcher in einer zwischen der Kanalzone und der ersten Schicht gebildeten Drift-Zone nach Austreten aus der Kanalzone in vertikaler Richtung des Halbleiterkörpers zu der stark dotierten ersten Schicht verläuft. Von dort gelangen die Ladungsträger über die Verbindungszone an die zweite Anschlusszone.

Bei nicht angesteuerter Steuerelektrode und Anlegen einer Spannung zwischen der ersten und zweiten Anschlusszone breitet sich ausgehend von der Kanalzone eine Raumladungszone in dem Halbleiterkörper aus. Erfasst diese Raumladungszone eine der Kompensationszonen, so rekombinieren freie Ladungsträger dieser Kompensationszone mit freien Ladungsträgern aus den die jeweilige Kompensationszone umgebenden Bereichen der zweiten Schicht. Mit zunehmender Sperrspannung, bzw. sich zu-

nehmend ausbreitender Raumladungszone, kommt es so zu einer Verarmung an Ladungsträgern in der zweiten Schicht, woraus eine hohe Durchspannung resultiert. Vorzugsweise entspricht die Anzahl der Ladungsträger des ersten Leitungstyps in der zweiten Schicht der Anzahl der Ladungsträger des zweiten Typs in den Kompensationszonen, so dass sich die zweite Schicht und die Kompensationszonen gegenseitig vollständig ausräumen können, d.h. bei der maximal möglichen Sperrspannung keine freien Ladungsträger in der zweiten Schicht mehr vorhanden sind.

Gemäß einer Ausführungsform der Erfindung ist die Verbindungszone als stark dotierte Zone des ersten Leitungstyps ausgebildet, welche sich in vertikaler Richtung des Halbleiterkörpers von der im Bereich der ersten Oberfläche angeordneten zweiten Anschlusszone bis an die erste Schicht erstreckt. Die zweite Anschlusszone ist dabei vorzugsweise im Randbereich des Halbleiterkörpers ausgebildet.

Eine weitere Ausführungsform der Erfindung sieht vor, die erste Schicht und die zweite Anschlusszone mittels einer gut elektrisch leitenden Schicht zu verbinden, welche auf einer, vorzugsweise schräg verlaufenden, Seitenfläche des Halbleiterkörpers ausgebildet ist.

Die vorliegende Erfindung wird nachfolgend in Ausführungsbeispielen anhand von Figuren näher erläutert. In den Figuren zeigt:

Figur 1: ein erfindungsgemäßes Halbleiterbauelement gemäß einer ersten Ausführungsform in Seitenansicht im Querschnitt,

Figur 2: eine ausschnittsweise Darstellung eines Halbleiterbauelements gemäß Figur 1 im Querschnitt durch die in Figur 1 eingezeichnete Schnittebene A-A',

Figur 3: ein erfindungsgemäßes Halbleiterbauelement gemäß einer zweiten Ausführungsform der Erfindung in Seitenansicht im Querschnitt.

5

In den Figuren bezeichnen, sofern nicht anders angegeben, gleiche Bezugszeichen gleiche Teile und Bereiche mit gleicher Bedeutung.

10 Die vorliegende Erfindung wird nachfolgend ohne Beschränkung der Allgemeinheit anhand eines n-leitenden MOSFET erläutert, bei welchem eine Source-Zone eine erste Anschlusszone darstellt, eine Drain-Zone eine zweite Anschlusszone darstellt und eine Gate-Elektrode eine Steuerelektrode darstellt.

15

Figur 1 zeigt ein erstes Ausführungsbeispiel eines erfindungsgemäßen MOSFET in Seitenansicht im Querschnitt. Ein Schnitt durch das Halbleiterbauelement entlang der in Figur 1 eingezeichneten Schnittebene A-A' ist in Figur 2 dargestellt.

20

Der erfindungsgemäße MOSFET gemäß Figur 1 weist einen Halbleiterkörper 10 mit einem stark n-dotierten Substrat 12 und einer auf dem Substrat angeordneten schwächer n-dotierten Epitaxieschicht 14 auf. In die Epitaxieschicht sind in dem Ausführungsbeispiel mehrere p-dotierte Kanalzonen 40A, 40B, 40C ausgebildet, die wannenartig ausgebildet sind und in welche in dem Ausführungsbeispiel jeweils zwei Source-Zonen 30A, 30B, 30C eingebettet sind. Die Source-Zonen 30A, 30B, 30C sind gemeinsam mittels einer Source-Elektrode 32 an einer Oberfläche 102 des Halbleiterkörpers kontaktiert, wobei die Source-Elektrode 32 die Source-Zonen 30A, 30B, 30C und die Kanalzonen 40A, 40B, 40C, welche die Source-Zonen 30A, 30B, 30C jeweils umgeben, kurzschließt. Die Source-Zonen 30A, 30B, 30C sind in dem Ausführungsbeispiel ringförmig ausgebildet, wie insbesondere aus der Draufsicht in Figur 2 ersichtlich ist.

35

Isoliert gegenüber dem Halbleiterkörper 10 ist eine Gate-Elektrode 50 auf der ersten Oberfläche 102 des Halbleiterkörpers 10 aufgebracht, die sich in lateraler Richtung des Halbleiterkörpers von jeder der Source-Zonen 30A, 30B, 30C entlang der Kanalzone 40A, 40B, 40C bis an den n-dotierten Bereich der zweiten Schicht 14 erstreckt. Der n-dotierte Bereich der zweiten Schicht 14 zwischen der Kanalzone und dem Substrat 12 bildet die sogenannte Drift-Zone oder Driftstrecke des MOSFET.

10

Figur 1 zeigt jeweils Abschnitte 50A, 50B, 50C, 50D der Gate-Elektrode 50, welche in Figur 2 gestrichelt mit strichpunktierten Umrissen dargestellt ist, um die Lage der Gate-Elektrode 50 oberhalb der Kanalzonen 40A, 40B, bzw. der Source-Zonen 30A, 30B zu verdeutlichen. Die Gate-Elektrode 50 ist plattenförmig ausgebildet und weist oberhalb der Source-Zonen 30A, 30B, 30C, bzw. oberhalb der Kanalzonen 40A, 40B, 40C jeweils ringförmige Aussparungen 51A, 51B auf, durch welche sich die Source-Elektrode 32 erstreckt. Die Gate-Elektrode 50 ist mittels Isolationsschichten 54B, 54C, 54D gegenüber der Source-Elektrode isoliert. Die Isolationsschicht 52A, 52B, 52C, 52D zwischen der Gate-Elektrode 50 und dem Halbleiterkörper 10 und die Isolationsschichten 54B, 54C, 54D zwischen der Gate-Elektrode und der Source-Elektrode 32 bestehen vorzugsweise aus einem Halbleiteroxid wie z.B. Siliziumoxid.

25

Das Vorsehen einer großen Anzahl von Source-Zonen 30A, 30B, 30D, die jeweils Bestandteil einer sogenannten Zelle des MOSFET sind, ermöglicht eine große Stromfestigkeit des MOSFET, wobei die Stromfestigkeit durch die Anzahl der Zellen eingestellt werden kann.

30

Der MOSFET gemäß der Figur 1 weist in lateraler Richtung des Halbleiterkörpers 10 beabstandet zu den Source-Zonen 30A, 30B, 30C eine Drain-Zone 20 auf, die wannenartig in der Epitaxieschicht 14 ausgebildet ist und die mittels einer Drain-

35

Elektrode 22 auf der ersten Oberfläche 102 des Halbleiterkörpers 10 kontaktiert ist.

In der Drift-Zone, also im Bereich der Epitaxieschicht 14
5 zwischen den Kanalzonen 40A, 40B, 40C und dem Substrat 12
sind p-dotierte Kompensationszonen 60, 62, 64, 65, 66 ausgebildet, die in dem Ausführungsbeispiel säulenförmig ausgebildet sind, und sich in ihrer Längsrichtung in vertikaler Richtung des Halbleiterkörpers 10 erstrecken. Die zwischen einer
10 der Kanalzonen 40A, 40B, 40C und dem Substrat 12 angeordneten Kompensationszonen 60, 62, 64, 65 können sich, wie die Kompensationszone 60, an die Kanalzone 40A anschließen oder durch einen Teil der Epitaxieschicht 14 von der Kanalzone 40B, 40C getrennt sein, wie z.B. die Kompensationszonen 62,
15 64, 65. Zudem können mehrere Kompensationszonen 64, 65 in vertikaler Richtung des Halbleiterkörpers 10 untereinander angeordnet sein.

Die Drain-Zone 20 und Source-Zonen 30A, 30B, 30C sind in lateraler Richtung des Halbleiterkörpers 10 beabstandet zueinander angeordnet, wobei in der Epitaxieschicht 14 zwischen
20 der Source-Zone 40A und der Drain-Zone 20 ebenfalls Kompensationszonen 66 ausgebildet sind, welche säulenartig in vertikaler Richtung des Halbleiterkörpers verlaufen.

25 Um die Drain-Zone 20 an das Substrat 12 anzuschließen ist eine Verbindungszone 16 vorgesehen, welche sich in vertikaler Richtung des Halbleiterkörpers 10 von der Drain-Zone 20 bis an das Substrat 12 erstreckt. Diese Verbindungszone 16 ist
30 vorzugsweise stärker dotiert als die übrigen Bereiche der Epitaxieschicht 14, wobei die Dotierung der Verbindungszone 16 der Dotierung des Substrat 12 entsprechen kann.

35 Wird bei dem erfindungsgemäßen in Figur 1 dargestellten MOS-FET eine positive Spannung zwischen der Gate-Elektrode 50 und den Source-Zonen 30A, 30B, 30C angelegt, so bilden sich in den Kanalzonen 40A, 40B, 40C leitende Kanäle aus, welche un-

- terhalb der Gate-Elektrode 50 verlaufen. Bei Anlegen einer Spannung zwischen der Drain-Elektrode 22 und der Source-Elektrode 32 gelangen n-Ladungsträger von den Source-Zonen 30A, 30B, 30C in die Drift-Zone. Diese Ladungsträger bewegen sich in der Epitaxieschicht 14 im wesentlichen in vertikaler Richtung des Halbleiterkörpers 10 in das stark dotierte Substrat 12, von wo sie über die Verbindungszone 16 zur Drain-Zone 20 gelangen. Die in Figur 1 mit dem Bezugszeichen 20 versehene Drain-Zone, die Verbindungszone 16 und das Substrat 12 bilden gemeinsam die Drain-Zone des erfindungsgemäßen MOSFET. Um die Zone 20 möglichst niederohmig an das Substrat 12 anzuschließen, sind zwischen der Zone 20 und dem Substrat 12 keine p-dotierten Kompensationszonen 66 vorgesehen.
- 15 Wird die Gate-Elektrode bei dem erfindungsgemäßen MOSFET gemäß Figur 1 nicht angesteuert und wird eine Spannung zwischen der Drain-Elektrode 22 und der Source-Elektrode 32 angelegt, so beginnen freie Ladungsträger der Kompensationszonen 60, 62, 64, 65, 66 mit freien Ladungsträgern der Epitaxieschicht 14 zu rekombinieren, wodurch es mit zunehmender Sperrspannung zu einer Verarmung an freien Ladungsträgern in der Epitaxieschicht 14 kommt, wie anhand der verschiedenen Kompensationszonen 60, 62, 64, 65 erläutert wird.
- 25 Die Kompensationszone 60 liegt über die Kanalzone 40a an Source-Potential, welches üblicherweise ein festes Bezugspotential, insbesondere Masse ist. Steigt das Potential in dem Substrat, bzw. in den die Kompensationszone 60 umgebenden Bereich der Epitaxieschicht 14 bei Erhöhen des Drain-Potentials an, so breitet sich ausgehend von der Kompensationszone 60 in lateraler Richtung des Halbleiterkörpers eine Raumladungszone aus, in welche keine freien Ladungsträger vorhanden sind.
- 35 Die Kompensationszone 62 ist floatend, d.h. nicht an ein festes Potential angeschlossen, in der Epitaxieschicht 14 angeordnet. Breitet sich bei Anlegen einer Sperrspannung eine Raumladungszone ausgehend von der Kanalzone 40b aus, so nimmt

die Kompensationszone 62 den Wert des Potentials an, welches die Raumladungszone im Bereich der Kompensationszone 62 besitzt. Erreicht die Raumladungszone der Kanalzone 40b die Kompensationszone 62, so breitet sich ausgehend von der Kompensationszone 62 in lateraler Richtung eine Raumladungszone aus, in welcher keine freien Ladungsträger mehr vorhanden sind. Entsprechendes gilt für die Kompensationszonen 64 und 65, wobei sich ausgehend von der unteren Kompensationszone 64 erst dann eine Raumladungszone ausbildet, wenn diese von der Raumladungszone der oberen Kompensationszone 65 erfasst ist.

Die maximale Sperrspannung des MOSFET ist erreicht, wenn die von den einzelnen Kompensationszonen 60, 62, 64, 65 ausgehenden Raumladungszonen die gesamte Epitaxieschicht 14 erfasst haben. Die Dotierung der Epitaxieschicht 14 und der Kompensationszonen 60, 62, 64, 65, 66 wird vorzugsweise derart aufeinander abgestimmt, dass die Anzahl der n-Ladungsträger in der Epitaxieschicht 14 der Anzahl der p-Ladungsträger in den Kompensationszonen 60, 62, 64, 65, 66 entspricht, so dass keine freie Ladungsträger vorhanden sind, wenn die Raumladungszone die gesamte Epitaxieschicht 14 erfasst hat.

Die Kompensationszonen 66, welche floatend in der Epitaxieschicht 14 zwischen der Source-Zone 30a und der Drain-Zone 20 angeordnet sind, verhindern einen Durchbruch des MOSFET in lateraler Richtung des Halbleiterkörpers 10 in der Epitaxieschicht 14. Die Kompensationszonen 66 werden bei dem MOSFET nacheinander von einer Raumladungszone erfasst, welche von der Kanalzone 40a ausgeht.

Figur 1 zeigt weiterhin Feldplatten 90, 91, welche oberhalb des Halbleiterkörpers 10, von diesem durch eine Isolationschicht 92 getrennt, ausgebildet sind, wobei eine der Feldplatten 90 an die Drain-Zone 20 und eine der Feldplatten 91 an die Source-Elektrode 32 angeschlossen ist. Die Feldplatten beeinflussen den Feldstärkeverlauf in dem Halbleiterkörper

per 10 und verhindern bekannterweise einen vorzeitigen Spannungsdurchbruch.

Die Drain-Zone 20 ist bei dem MOSFET gemäß Figur 1 am Rand des Halbleiterkörpers ausgebildet, die Seitenfläche 101 schließt den Halbleiterkörper 10 in seitlicher Richtung ab. Die Fläche 101 ist üblicherweise die Fläche, die beim Heraussägen des Halbleiterkörpers 10 aus einem Wafer, der einer Vielzahl von Halbleiterkörpern aufweist, entsteht.

10

Figur 3 zeigt ein weiteres Ausführungsbeispiel eines erfindungsgemäßen MOSFET, welcher sich von dem in Figur 1 dargestellten dadurch unterscheidet, dass die Drain-Zone 22 und das Substrat 12 durch eine gut elektrische leitende Schicht 22, insbesondere eine Metallisierung, welche auf einer Seitenfläche 104 des Halbleiterkörpers 10 aufgebracht ist, miteinander verbunden sind. Die Seitenfläche in Figur 3 verläuft leicht schräg, ausgehend aus dem Substrat 12 in Richtung der Drain-Zone 20, wobei sich das Substrat 12 unterhalb der Fläche 104 in lateraler Richtung bis zu einer Seitenfläche 103 erstreckt, welche die seitliche Begrenzung des Halbleiterkörpers 10 bildet und welche beispielsweise durch das Heraussägen des Halbleiterkörpers 10 aus einem Wafer resultiert. Die Fläche 104 ist damit gegenüber der Abschlussfläche 103 zurückgesetzt. Die Metallisierung 23 bildet gleichzeitig die Drain-Elektrode des MOSFET.

15

20

25

Auf das Aufbringen einer Metallisierung 70 auf das Substrat, wie sei bei dem MOSFET gemäß Figur 1 vorgesehen ist, ist bei dem MOSFET gemäß Figur 3 verzichtet.

30

Patentansprüche

1. Mittels Feldeffekt steuerbares Halbleiterbauelement, das folgende Merkmale aufweist:

5

- einen Halbleiterkörper (10) mit einer ersten Schicht (12) eines ersten Leitungstyps (n) und einer darüberliegenden zweiten Schicht (14) des ersten Leitungstyps (n),

10

- eine in der zweiten Schicht (14) ausgebildete erste Anschlusszone (30A, 30B, 30C), die an einer ersten Oberfläche (102) des Halbleiterkörpers (10) kontaktierbar ist, und eine die erste Anschlusszone (30A, 30B, 30C) umgebende Kanalzone (40A, 40B, 40C) eines zweiten Leitungstyps (p),

15

- in der zweiten Schicht (14) ausgebildete Kompensationszonen (60, 62, 64, 65, 66) des zweiten Leitungstyps (p),

g e k e n n z e i c h n e t durch

20

- eine in der zweiten Schicht (14) ausgebildete zweite Anschlusszone (20) des ersten Leitungstyps (n), die an der ersten Oberfläche (102) des Halbleiterkörpers (10) kontaktierbar ist.

25

2. Halbleiterbauelement nach Anspruch 1, bei dem in einer Verbindungszone (16) zwischen der zweiten Anschlusszone (20) und der ersten Schicht (12) keine der Kompensationszonen (60, 62, 64, 65, 66) ausgebildet ist.

30

3. Halbleiterbauelement nach Anspruch 1 oder 2, bei dem die Verbindungszone (16) stärker dotiert ist, als die übrigen Bereiche der zweiten Schicht (14).

35

4. Halbleiterbauelement nach Anspruch 3, bei dem die Dotierung der Verbindungszone (16) im wesentlichen der Dotierung der ersten Schicht entspricht.

5. Halbleiterbauelement nach einem der vorangehenden Ansprüche, bei dem die erste Schicht (12) stärker dotiert ist als die zweite Schicht (14).

5

6. Halbleiterbauelement nach einem der vorangehenden Ansprüche, bei dem die zweite Anschlusszone (20) am Rand des Halbleiterkörpers (10) ausgebildet ist.

10

7. Halbleiterbauelement nach einem der vorangehenden Ansprüche, bei dem die erste Schicht (12) und die zweite Anschlusszone (20) mittels einer auf einer Seitenfläche (103) des Halbleiterkörpers (10) aufgetragenen elektrisch leitenden Schicht (22) miteinander verbunden sind.

15

8. Halbleiterbauelement nach einem der vorangehenden Ansprüche, bei dem sich wenigstens einige der Kompensationszonen (60) an die Kanalzone (40A) anschließen.

20

9. Halbleiterbauelement nach einem der vorangehenden Ansprüche, bei dem die Kompensationszonen (60, 62, 64, 65, 66) säulenförmig ausgebildet sind und sich in vertikaler Richtung des Halbleiterkörpers (10) in der zweiten Schicht erstrecken.

25

10. Halbleiterbauelement nach einem der vorangehenden Ansprüche, bei dem die Anzahl der Ladungsträger vom ersten Leitungstyp (n) und die Anzahl der Ladungsträger vom zweiten Leitungstyp in der zweiten Schicht etwa gleich groß ist.

30

11. Halbleiterbauelement nach einem der vorangehenden Ansprüche, das eine Steuerelektrode (50A, 50B, 50C, 50D) aufweist, die isoliert gegenüber dem Halbleiterkörper (10) benachbart zu der Kanalzone (40A, 40B, 40C) angeordnet ist.

Zusammenfassung

Vertikaler Feldeffekttransistor mit Kompensationszonen und Anschlüssen an einer Seite eines Halbleiterkörpers

5

Die vorliegende Erfindung betrifft ein mittels Feldeffekt steuerbares Halbleiterbauelement, das folgende Merkmale aufweist:

- 10 - einen Halbleiterkörper (10) mit einer ersten Schicht (12) eines ersten Leitungstyps (n) und einer darüberliegenden zweiten Schicht (14) des ersten Leitungstyps (n),
 - eine in der zweiten Schicht (14) ausgebildete erste Anschlusszone (30A, 30B, 30C), die an einer ersten Oberfläche (102) des Halbleiterkörpers (10) kontaktierbar ist, und eine
- 15 die erste Anschlusszone (30A, 30B, 30C) umgebende Kanalzone (40A, 40B, 40C) eines zweiten Leitungstyps (p),
 - in der zweiten Schicht (14) ausgebildete Kompensationszonen (60, 62, 64, 65, 66) des zweiten Leitungstyps (p),
- 20 - eine in der zweiten Schicht (14) ausgebildete zweite Anschlusszone (20) des ersten Leitungstyps (n), die an der ersten Oberfläche (102) des Halbleiterkörpers (10) kontaktierbar ist

Figur 1

Bezugszeichenliste

	10	Halbleiterkörper
	12	Substrat
5	14	Epitaxieschicht
	16	Verbindungszone
	20	Drain-Zone
	22	Drain-Elektrode
	23	elektrische leitende Verbindungsschicht
10	30A, 30B, 30C	Source-Zone
	32	Source-Elektrode
	40A, 40B, 40C	Kanalzone
	50	Gate-Elektrode
	50A, 50B, 50C, 50D	Gate-Elektrode
15	52A, 52B, 52C, 52D	Isolationsschicht
	54B, 54C, 54D	Isolationsschicht
	60, 62, 64, 65, 66	Kompensationszone
	90, 91	Feldplatten
	92	Isolationsschicht
20	101	Seitenfläche des Halbleiterkörpers
	102	erste Oberfläche des Halbleiterkörpers
	103	Seitenfläche des Halbleiterkörpers
	104	Seitenfläche des Halbleiterkörpers
	D	Drain-Anschluss
25	S	Source-Anschluss
	G	Gate-Anschluss
	n	n-Dotierung des Halbleiterkörpers
	p	p-Dotierung des Halbleiterkörpers

FIG1

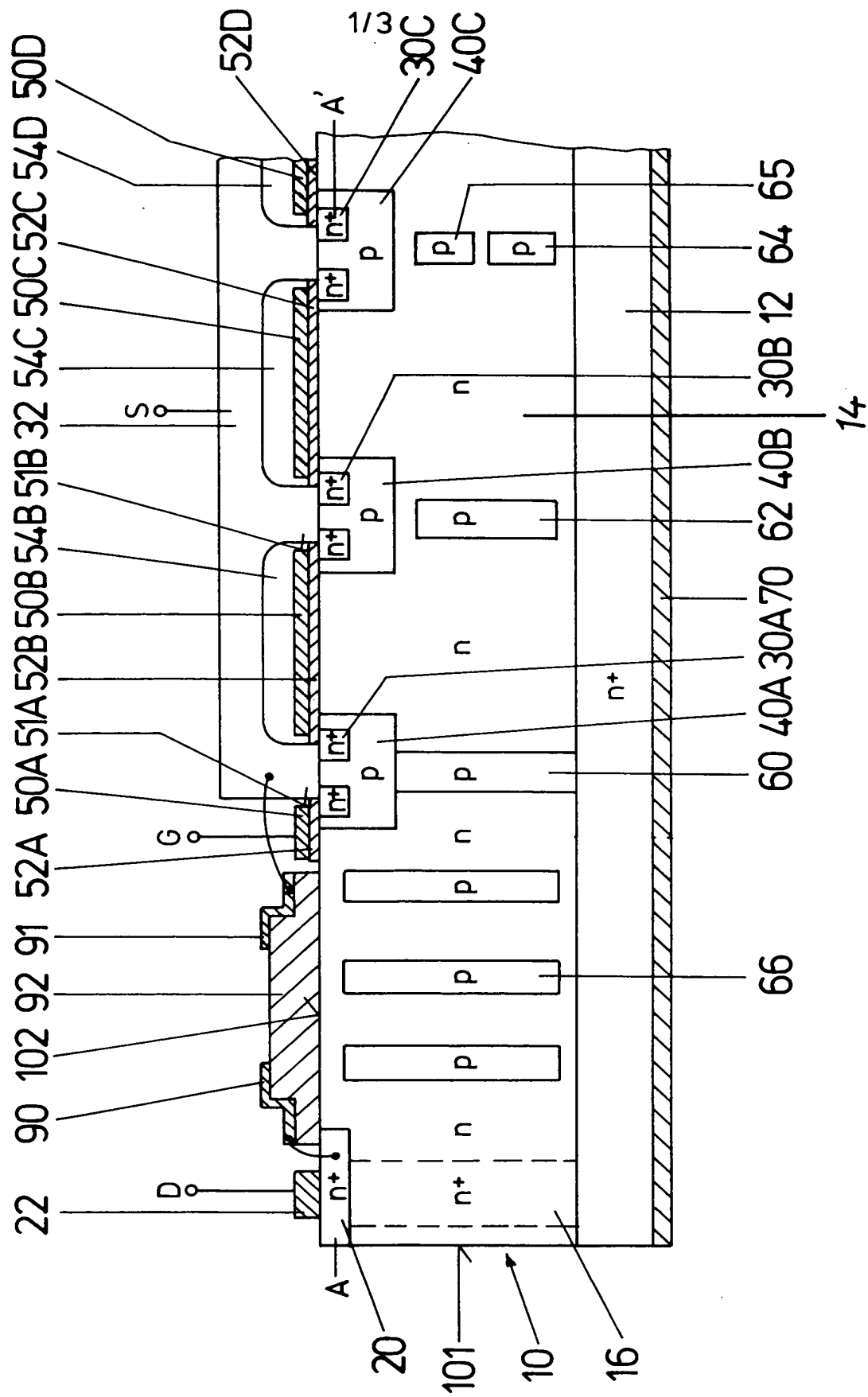
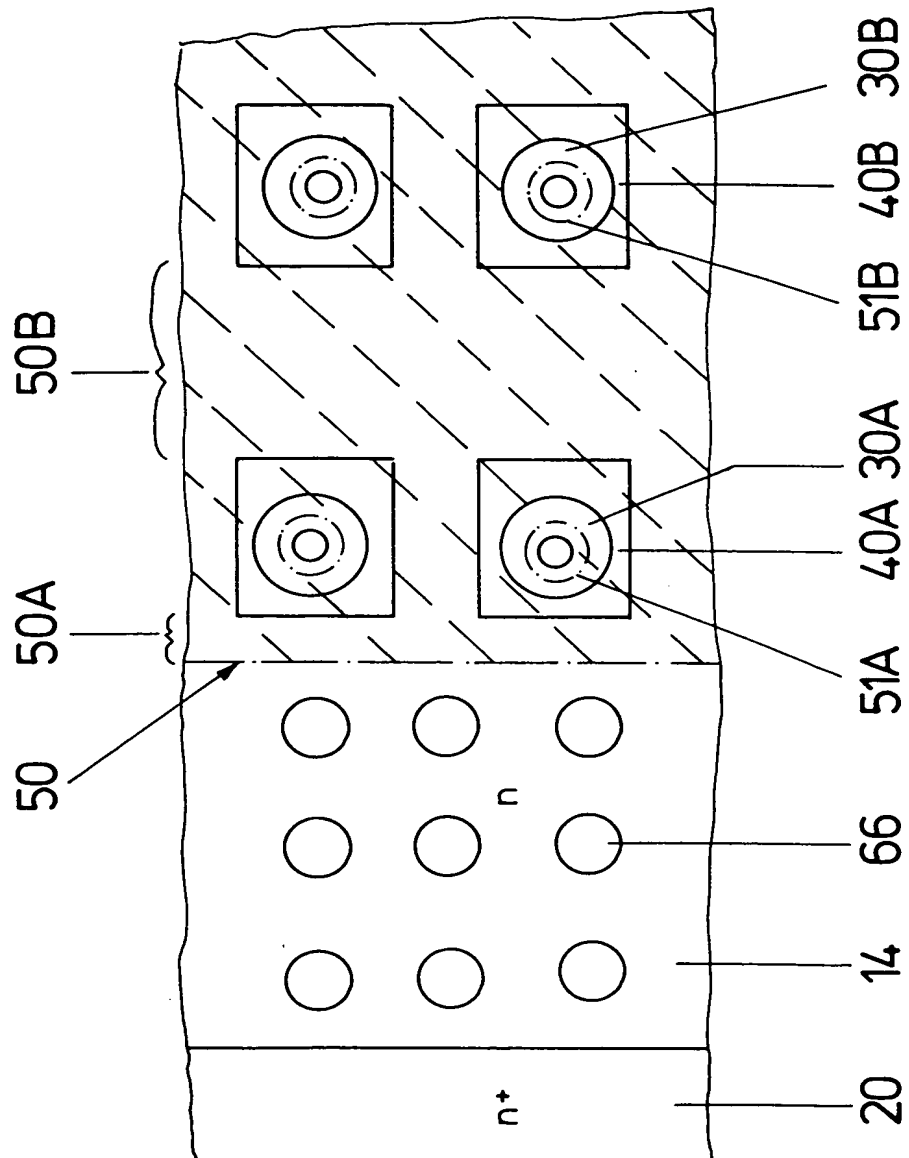


FIG 2



90	102	92	91	52A	50A	52B	50B	54B	32	54C	50C	52C
----	-----	----	----	-----	-----	-----	-----	-----	----	-----	-----	-----

